

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04118037 \*\*Image available\*\*

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.: 05-109737 [JP 5109737 A]

PUBLISHED: April 30, 1993 (19930430)

INVENTOR(s): YAMADA HIROYASU

APPLICANT(s): CASIO COMPUT CO LTD [350750] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 03-297647 [JP 91297647]

FILED: October 18, 1991 (19911018)

INTL CLASS: [5] H01L-021/322; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R044 (CHEMISTRY -- Photosensitive Resins);

R096 (ELECTRONIC MATERIALS -- Glass Conductors); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1420, Vol. 17, No. 463, Pg. 72, August 24, 1993 (19930824)

#### ABSTRACT

PURPOSE: To eliminate crystal defect, impurities, etc., from an element activation region, at the time of manufacturing a thin film transistor.

CONSTITUTION: On an insulative substrate 1, an amorphous silicon film 4 is deposited, thereon an oxide film 5 is formed, a photo resist mask 6 which is patterned and formed on the film 5 is used as a mask, and ions are implanted. Thereby only the amorphous silicon film 4 at the part corresponding to a region 3 where an element is not formed is turned into a high impurity region to form a gettering layer 7. By laser annealing after the photo resist film 6 is eliminated, the amorphous silicon film 4 is crystallized to form a polycrystalline silicon film. At the same time, crystal defect, impurities, etc., in the amorphous silicon film 4 of the part corresponding to an element formation region 2 are made to be absorbed in a high impurity region 7 around the defect and impurities. After that, the oxide film 5 is eliminated, and the polycrystalline silicon film (the gettering layer 7) in unnecessary parts is eliminated by element isolation. In this state, the polycrystalline silicon film is formed only in the element formation region 2 on the insulative substrate 1.

BEST AVAILABLE COPY

特開平5-109737

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.

H01L 21/322  
29/784

識別記号

庁内整理番号

P 8817-4M

FI

技術表示箇所

9058-4M

H01L 29/78

311 R

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号 特願平3-297647

(22)出願日 平成3年(1991)10月18日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 山田 裕展

東京都八王子市石川町2951番地の5 カシ

オ計算機株式会社八王子研究所内

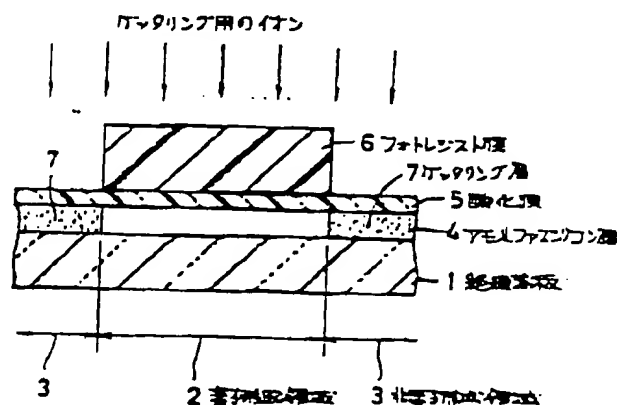
(74)代理人 弁理士 杉村 次郎

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【目的】 薄膜トランジスタの製造に際し、結晶欠陥や不純物等を素子活性領域から除去する。

【構成】 絶縁基板1上にアモルファスシリコン膜4を堆積し、その上に酸化膜5を形成し、その上にパターン形成したフォトリソ膜6をマスクとしてイオンを注入することにより、非素子形成領域3に対応する部分のアモルファスシリコン膜4のみを高不純物領域化してゲッタリング層7とする。次に、フォトリソ膜6を除去した後レーザアニールすることにより、アモルファスシリコン膜4を結晶化してポリシリコン膜とすると共に、素子形成領域2に対応する部分のアモルファスシリコン膜4における結晶欠陥や不純物等をその周囲の高不純物領域7に吸収させる。この後、酸化膜5を除去し、次いで素子分離により不要な部分のポリシリコン膜(ゲッタリング層7)を除去する。この状態では、絶縁基板1上の素子形成領域2のみにポリシリコン膜が形成されている。



BEST AVAILABLE COPY

1

## 【特許請求の範囲】

【請求項1】 素子形成領域およびその周囲の非素子形成領域に半導体薄膜を堆積し、次いで前記非素子形成領域に対応する部分の前記半導体薄膜のみを高不純物領域化してゲッターリング層とし、次いでアニールすることにより、前記素子形成領域に対応する部分の前記半導体薄膜における結晶欠陥や不純物等をその周囲の前記ゲッターリング層に吸収させ、次いで該ゲッターリング層を除去することを特徴とする薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】シリコンウェーハを用いたトランジスタ製造技術では、ゲッターリング技術を用いて、結晶欠陥や不純物等を素子活性領域から除去することにより、良好な素子特性を得るようにしている。一方、薄膜トランジスタ製造技術では、ガラス等からなる絶縁基板上にアモルファスシリコンやポリシリコン等からなる半導体薄膜を堆積した後素子分離することにより、素子形成領域に半導体薄膜をパターン形成しているため、シリコンウェーハを用いたトランジスタ製造技術で用いられているゲッターリング技術を利用することができない。

【0003】

【発明が解決しようとする課題】このように、従来の薄膜トランジスタ製造技術では、シリコンウェーハを用いたトランジスタ製造技術で用いられているゲッターリング技術を利用することができないので、結晶欠陥や不純物等を素子活性領域から除去することができず、ひいては良好な素子特性を得ることができない場合があるという問題があった。この発明の目的は、結晶欠陥や不純物等を素子活性領域から除去することのできる薄膜トランジスタの製造方法を提供することにある。

【0004】

【課題を解決するための手段】この発明は、素子形成領域およびその周囲の非素子形成領域に半導体薄膜を堆積し、次いで非素子形成領域に対応する部分の半導体薄膜のみを高不純物領域化してゲッターリング層とし、次いでアニールすることにより、素子形成領域に対応する部分の半導体薄膜における結晶欠陥や不純物等をその周囲のゲッターリング層に吸収させ、次いでゲッターリング層を除去するようにしたものである。

【0005】

【作用】この発明によれば、非素子形成領域に対応する部分の半導体薄膜のみを高不純物領域化してゲッターリング層とした後アニールすることにより、素子形成領域に対応する部分の半導体薄膜における結晶欠陥や不純物等をその周囲のゲッターリング層に吸収させ、この後ゲッターリング層を除去しているため、結晶欠陥や不純物等を素

2

子活性領域から除去することができる。

【0006】

【実施例】図1～図4はこの発明の一実施例における薄膜トランジスタの各製造工程を示したものである。そこで、これらの図を順に参照しながら、薄膜トランジスタの製造方法について説明する。

【0007】まず、図1に示すように、ガラス等からなる絶縁基板1の上面の素子形成領域2およびその周囲の非素子形成領域3にアモルファスシリコン膜4を堆積する。次に、熱酸化により、アモルファスシリコン膜4の上面に酸化膜5を形成する。次に、素子形成領域2に対応する部分の酸化膜5の上面にフォトレジスト膜6をパターン形成する。次に、フォトレジスト膜6をマスクとして、非素子形成領域3に対応する部分のアモルファスシリコン膜4にイオン注入装置によりリン、ボロン、アルゴン、酸素、炭素等のゲッターリング用のイオンを注入し、非素子形成領域3に対応する部分のアモルファスシリコン膜4のみを高不純物領域化してゲッターリング層7とする。この後、フォトレジスト膜6を除去する。

【0008】次に、図2に示すように、レーザアニールすることにより、アモルファスシリコン膜4を結晶化してポリシリコン膜8とすると共に、素子形成領域2に対応する部分のアモルファスシリコン膜4における結晶欠陥や不純物等をその周囲のゲッターリング層7に吸収させる。この後、酸化膜5を除去し、次いで素子分離により、非素子形成領域3に対応する部分の不要なポリシリコン膜8つまりゲッターリング層7を除去する。したがって、この状態では、絶縁基板1の上面の素子形成領域2のみにポリシリコン膜8が形成されている。

【0009】次に、図3に示すように、全表面に酸化シリコンや窒化シリコン等からなるゲート絶縁膜9を形成する。次に、ポリシリコン膜8のチャネル領域10に対応する部分のゲート絶縁膜9の上面にアルミニウムからなるゲート電極11をパターン形成する。次に、ゲート電極11をマスクとしてイオン注入装置によりリンやボロン等のソース・ドレイン形成用のイオンを注入し、ゲート電極11の両側におけるポリシリコン膜8にソース・ドレイン領域12を形成する。

【0010】次に、図4に示すように、全表面に酸化シリコンや窒化シリコン等からなる層間絶縁膜13を形成する。次に、ソース・ドレイン領域12に対応する部分の層間絶縁膜13およびゲート絶縁膜9にコンタクトホール14を形成する。次に、コンタクトホール14を介してソース・ドレイン領域12と接続されるアルミニウムからなるソース・ドレイン電極15を層間絶縁膜13の上面にパターン形成する。かくして、薄膜トランジスタが製造される。

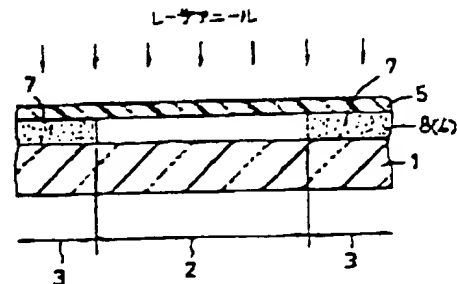
【0011】このようにして製造された薄膜トランジスタでは、非素子形成領域3に対応する部分のアモルファスシリコン膜4のみを高不純物領域化してゲッターリング

10

20

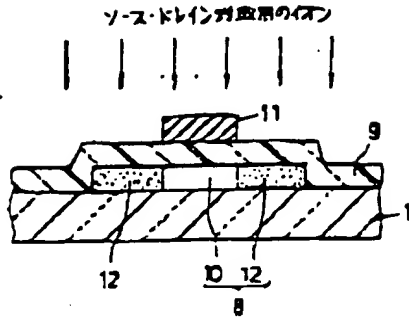
30

【圖2】



**BEST AVAILABLE COPY**

【図3】



【図4】

